Seat No.: ________ Enrolment No.___________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGINEERING - SEMESTER–VI • REMEDIAL EXAMINATION – WINTER 2013

Subject Code: 361102 **Date: 13-09-2013**

Subject Name: VLSI Technology

Time: 03:00 pm - 05:30 pm **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **English version is considered to be Authentic.**

Q.1	(a)	1. Differentiate between full custom design and semi custom design.	**04**
		2. Explain channel length modulation with simple diagram.	**03**
	(b)	Write a short note on FPGA.	**07**
Q.2	(a)	Explain the short channel effect in detail with diagram.	**07**
	(b)	Write the domains of VLSI design flow. Explain VLSI design flow in detail with figure.	**07**
		OR	
	(b)	Draw and explain depletion load nMOS inverter with Voltage Transfer Characteristic.	**07**
Q.3	(a)	1. Define: (i) Rise time (ii) Fall time (iii) τ_{PHL}	**03**
		2. Explain enhancement load nMOS inverter with it's disadvantages.	**04**
	(b)	Implement logic function $Y= \overline{(AB + CD)(EG + F)H}$ using CMOS. Also explain AOI gates.	**07**
		OR	
Q.3	(a)	Draw depletion load two input XNOR gate. State the number of transistors required to implement it using CMOS and using pseudo nMOS.	**07**
	(b)	Draw and explain two input NAND gate using CMOS in detail.	**07**
Q.4	(a)	Draw gate level schematics and CMOS implementation of D latch. Also define propagation delay, setup time and hold time.	**07**
	(b)	Draw and explain CMOS inverter in detail.	**07**
		OR	
Q. 4	(a)	Draw and explain CMOS SR latch using NOR gate with truth table.	**07**
	(b)	Write a short note on CMOS ring oscillator.	**07**
Q.5	(a)	Differentiate between signal and variable. Write VHDL code for half adder.	**07**
	(b)	Draw and implement 8x1 multiplexer using VHDL.	**07**
		OR	
Q.5	(a)	Draw the circuit for XOR gate using NAND gate. Implement the circuit in structural model of VHDL.	**07**
	(b)	Write VHDL code to implement JK flip flop.	**07**

****

ગુજરાતી

પ્રશ્ન. ૧	અ	૧. ફુલ કસ્ટમ અને સેમી કસ્ટમ ડીઝાઈન ને સરખાવો.	૦૪
		૨. ચેનલ લેંથ મોડ્યુલેશન ને આકૃતિ સહ સમજાવો.	૦૩
	બ	ટૂંક નોંધ લખો FPGA.	૦૭
પ્રશ્ન. ૨	અ	શોર્ટ ચેનલ ઈફેક્ટ આકૃતિ સહ સમજાવો.	૦૭
	બ	VLSI ડીઝાઈન ફ્લો ના ડોમેનો લખો. VLSI ડીઝાઈન ફ્લો ને આકૃતિ સહ વિગતે સમજાવો.	૦૭
		અથવા	
	બ	ડેપ્લેશન ટાઈપ nMOS લોડ ઇન્વર્ટર સર્કીટ વોલ્ટેજ ટ્રાન્સફર કેરેક્ટ્રિસ્ટિક સાથે દોરો અને સમજાવો.	૦૭
પ્રશ્ન. 3	અ	૧. વ્યાખ્યા આપો : (i) રાઈઝ ટાઈમ (ii) ફોલ ટાઈમ (iii) τ_{PHL}	03
		૨. એન્હેન્સમેંટ લોડ ઇન્વર્ટર સર્કીટ તેના ગેરફાયદાઓ સાથે સમજાવો.	૦૪
	બ	$Y=\overline{(AB+CD)(EG+F)H}$ ફન્ક્શનને CMOS ની મદદ થી દોરો.તેમજ AOI ગેટ્સ સમજાવો.	૦૭
		અથવા	
પ્રશ્ન. 3	અ	ડેપ્લેશન nMOS લોડ ની મદદથી બે ઈનપુટ XNOR ગેટ દોરો. આ સર્કીટ ને CMOS અને સ્યૂડો nMOS વડે બનાવવાથી કુલ કેટ્લા ટ્રાન્સિસ્ટરો ની જરૂર પડ્શે તે જણાવો.	૦૭
	બ	બે ઈનપુટ NAND ગેટ CMOS ની મદદ થી દોરો અને સમજાવો.	૦૭
પ્રશ્ન. ૪	અ	D- લેચ નુ ગેટ લેવલ સ્કીમેટીક દોરો અને તેને CMOS વડે બનાવો. તથા પ્રપોગેશન ડીલે, સેટ્અપ ટાઈમ અને હોલ્ડ ટાઈમ ની વ્યાખ્યા આપો.	૦૭
	બ	CMOS ઇન્વર્ટર દોરો અને સમજાવો.	૦૭
		અથવા	
પ્રશ્ન. ૪	અ	CMOS SR લેચ NOR ગેટ થી ટ્રુથ ટેબલ ની મદદથી દોરો અને સમજાવો.	૦૭
	બ	ટૂંક નોંધ લખો CMOS રીંગ ઓસીલેટર.	૦૭
પ્રશ્ન. ૫	અ	સિગ્નલ અને વેરીયેબલ ને સરખાવો. સાથે હાલ્ફ એડર માટે VHDL કોડ લખો.	૦૭
	બ	8 x 1 મ્લ્ટીપ્લેક્સર દોરો અને તેના માટે VHDL કોડ લખો.	૦૭
		અથવા	
પ્રશ્ન. ૫	અ	NAND ગેટ વડે XOR ગેટ દોરો. તેના માટે VHDL ના structural મોડ્લ માં કોડ લખો.	૦૭
	બ	JK ફ્લિપ ફ્લોપ માટે VHDL કોડ લખો.	૦૭

****