Seat No.: ________ Enrolment No.______________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGINEERING – SEMESTER –VI • EXAMINATION – WINTER 2015

Subject Code: 2361102 **Date: 21/ 12 /2015**

Subject Name: VLSI Technology

Time: 02:30 PM TO 05:00 PM **Total Marks: 70**

Instructions:

1. **Attempt any five questions.**
2. **Make suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Each question carry equal marks (14 marks)**

Q.1	(a)	Explain various criteria to measure the design quality.	**07**
	(b)	Explain design hierarchy with example. Also define regularity, modularity and locality.	**07**
Q.2	(a)	Write short note on MOSFET CAPACITANCES.	**07**
	(b)	Explain MOSFET operation.	**07**
		OR	
	(b)	Explain MOSFET I-V characteristic with necessary diagram.	**07**
Q.3	(a)	Explain depletion load nmos inverter. How its VTC can be improved?	**07**
	(b)	Explain switching power dissipation of CMOS inverter.	**07**
		OR	
Q.3	(a)	Explain CMOS inverter circuit in detail.	**07**
	(b)	Draw and explain CMOS ring oscillator with necessary waveform.	**07**
Q.4	(a)	Draw and Explain two input NOR gate using depletion nmos load.	**07**
	(b)	Explain AOI structure and realize logic function $\overline{A(D+E)+BC}$ using CMOS.	**07**
		OR	
Q. 4	(a)	Draw and Explain two input NAND gate using CMOS.	**07**
	(b)	Draw and explain FPGA structure.	**07**
Q.5	(a)	Draw and explain gate level schematic of clocked NOR based SR latch with waveform. Also draw AOI based implementation of clocked NOR based SR latch.	**07**
	(b)	Draw full adder circuit and write a VHDL program for full adder circuit.	**07**
		OR	
Q.5	(a)	With necessary diagrams explain clocked JK latch circuit in detail.	**07**
	(b)	Draw D flip-flop and Write a VHDL program for clocked D flip-flop.	**07**

****

ગુજરાતી

પ્રશ્ન. ૧	અ	ડીઝાઈન ક્વોલીટી ચકાસવાની ની જુદી જુદી કસૌટીઓ સમજાવો.	૦૭
	બ	ડીઝાઈન હાઈરારકી ઉદાહરણ આપી સમજાવો. રેગ્યુલારાટી, મોડ્યુલારીટી અને લોકાલીટી ની વ્યાખ્યા પણ આપો.	૦૭
પ્રશ્ન. ૨	અ	ટૂક નોંધ લખો: MOSFET CAPACITANCES.	૦૭
	બ	MOSFET ઓપરેશન સમજાવો.	૦૭
		અથવા	
	બ	MOSFET I-V characteristic જરૂરી આકૃતિ સાથે સમજાવો.	૦૭
પ્રશ્ન. 3	અ	ડીપ્લેશન લોડ nmos inverter સમજાવો. તેની VTC કેવી રીતે ઈમ્પ્રોવ થઇ શકે?	૦૭
	બ	CMOS inverter નું સ્વીચીગ પાવર ડીસીપેસન સમજાવો.	૦૭
		અથવા	
પ્રશ્ન. 3	અ	CMOS inverter સરકીટ ડોટેઈલ માં સમજાવો.	૦૭
	બ	જરૂરી વેવફોર્મ સાથે CMOS રીંગ ઓસીલેટર આકૃતિ દોરી સમજાવો.	૦૭
પ્રશ્ન. ૪	અ	આકૃતિ દોરી ડીપ્લેશન nmos load ૨ ઈનપુટ NOR ગેટ સમજાવો.	૦૭
	બ	AOI structure વર્ણવો અને CMOS નો ઉપયોગ કરી $\overline{A(D+E)+BC}$ લોજીક સમીકરણ implement કરો.	૦૭
		અથવા	
પ્રશ્ન. ૪	અ	CMOS નો ઉપયોગ કરી 2 ઈનપુટ NAND ગેટ આકૃતિ દોરી સમજાવો.	૦૭
	બ	આકૃતિ દોરી FPGA structure સમજાવો,	૦૭
પ્રશ્ન. ૫	અ	જરૂરી વેવફોર્મ સાથે ગેટ લેવલ NOR બેઇઝ કલોક SR latch આકૃતિ દોરી સમજાવો. AOI થી NOR બેઇઝ કલોક SR latch ને implement કરો.	૦૭
	બ	ફૂલ એડર સર્કીટ દોરો. અને ફૂલ એડર સર્કીટ માટે VHDL પ્રોગ્રામ લખો.	૦૭
		અથવા	
પ્રશ્ન. ૫	અ	જરૂરી આકૃતિઓ સાથે Clocked JK લેચ સર્કીટ ડીટેઇલ માં સમજાવો.	૦૭
	બ	D flip-flop દોરો. અને clocked D flip-flop માટે VHDL પ્રોગ્રામ લખો.	૦૭

****