Seat No.: ________ Enrolment No.___________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGINEERING - SEMESTER–VI • EXAMINATION – WINTER • 2016

Subject Code: 361102 **Date: 21-10-2016**

Subject Name: VLSI Technology

Time: 10:30 am - 01:00 pm **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **English version is considered to be Authentic.**

Q.1	(a)	Explain CMOS Logic circuit with two input NAND gate.	**07**
	(b)	Draw and Explain Depletion Load nMOS Inverter	**07**
Q.2			
	(a)	Draw and Explain Depletion Load nMOS SR Latch based on NOR gate with Truth table	**07**
	(b)	Explain concept of 'Design Hierarchy'.	**07**
		OR	
	(b)	Explain concept of Regularity, Modularity and Locality.	**07**
Q.3			
	(a)	Draw and Explain structure and operation of MOSFET.	**07**
	(b)	Write short note on Cascaded CMOS Inverter.	**07**
		OR	
Q.3	(a)	Write short note on Enhancement load nMOS Inverter.	**07**
	(b)	Write short note on MOSFET Capacitances.	**07**
Q.4			
	(a)	Explain MOS Logic circuit with Depletion nMOS load using Two input NOR Gate. Also draw the circuit for n input.	**07**
	(b)	Draw CMOS AOI realization of the clocked JK Latch.	**07**
		OR	
Q. 4	(a)	Draw Complex CMOS Logic gate realizing the given Boolean function with Euler graph.Z = A(D+E)+BC.	**07**
	(b)	Draw CMOS D-Latch implementation with Timing diagram.	**07**
Q.5			
	(a)	Write short note on Types of FPGA.	**07**
	(b)	Write VHDL Code to implement 4*1 MUX.	**07**
		OR	
Q.5	(a)	Write short note on FPGA Structure.	**07**
	(b)	Write VHDL Code to implement SR Flip flop.	**07**

****

Q.1	(a)	બે ઈનપુટ NAND ગેટથી CMOS લોજીક સર્કીટ સમજાવો.	**07**
	(b)	ડીપ્લેશન લોડ nMOS SR લેચની સર્કીટ NOR ગેટનો ઉપયોગ કરી ટ્રુથ ટેબલ બનાવી દોરો અને સમજાવો.	**07**
Q.2	(a)	ડીપ્લેશન લોડ nMOS ઇન્વર્ટરની સર્કીટ દોરો અને સમજાવો.	**07**
	(b)	ડિઝાઇન હાઈરારકીનો કોન્સેપ્ટ સમજાવો.	**07**
		OR	
	(b)	રેગ્યુલારીટી,મોડ્યુલારીટી અને લોકાલીટીનો કોન્સેપ્ટ સમજાવો.	**07**
Q.3	(a)	MOSFET નું સ્ટ્રક્ચર અને ઓપરેશન દોરો અને સમજાવો.	**07**
	(b)	કાસ્કેડેડ CMOS ઇન્વર્ટર ઉપર ટૂંકનોંધ લખો.	**07**
		OR	
Q.3	(a)	એન્હેન્સમેંટ લોડ nMOS ઇન્વર્ટર ઉપર ટૂંકનોંધ લખો.	**07**
	(b)	MOSFET કેપેસીટન્સ ઉપર ટૂંકનોંધ લખો.	**07**
Q.4	(a)	બે ઇનપુટ NOR ગેટનો ઉપયોગ કરી ડીપ્લેશન nMOS લોડની MOS લોજીક સર્કીટ દોરો અને સમજાવો.N ઇનપુટની સર્કીટ પણ દોરો.	**07**
	(b)	કલોકડ JK લેચનું CMOS AOI રીયલાઈઝેશન દોરો.	**07**
		OR	
Q.4	(a)	આપેલા બુલીયન ફંક્શન માટે કોમ્પલેક્સ CMOS લોજીક ગેટ અને યુલર ગ્રાફ દોરો. $Z = \overline{A(D+E)+BC}$.	**07**
	(b)	ટાઈમીંગ ડાયાગ્રામ સાથે CMOS D લેચ નું ઈમ્પલીમેન્ટેશન દોરો.	**07**
Q.5	(a)	FPGA ના પ્રકાર ઉપર ટૂંકનોંધ લખો.	**07**
	(b)	VHDL ની મદદ થી ૪ * ૧ નું MUX બનાવો.	**07**
		OR	
Q.5	(a)	FPGA ના સ્ટ્રક્ચર ઉપર ટૂંકનોંધ લખો.	**07**
	(b)	VHDL ની મદદ થી SR ફ્લીપ ફ્લોપ બનાવો.	**07**

****